

Integrated Circuits (II)

2 units (selection)

Shinsuke Konaka · PROFESSOR / COMMUNICATIONS AND CONTROLS, DEPARTMENT OF ELECTRICAL AND ELECTRONIC ENGINEERING

Target) 身近の電気製品のほとんどに集積回路が使用されている。その大部分を占める CMOS 集積回路の設計手法を習得する。具体的には、CMOS 回路のプロセス、パターンルールとレイアウト設計、デバイスパラメータと回路設計を理解し、コンピュータ実習を行い、設計手法を習得する。さらに、デジタル動作する論理ゲートの回路動作を理解し、論理設計の基礎を習得する。

Outline) CMOS 論理回路を実現するためのプロセス、MOS トランジスタの電気特性、回路設計、論理設計について講義する。コンピュータ実習でレイアウト設計と回路シミュレーションを実際に経験し、各種 CMOS 論理ゲート回路の設計法とその電気特性の理解を深める。さらに、基本的な CMOS 論理設計法を習得する。

Keyword) レイアウト設計, CMOS プロセス, CMOS 論理回路, 論理回路設計

Fundamental Lecture) “Digital Circuits”(1.0), “Electronic Circuits”(1.0)

Relational Lecture) “Integrated Circuit (I)”(1.0), “Computer Circuits”(1.0)

Requirement) 「電子回路」, 「デジタル回路」, 「コンピュータ回路」, 「集積回路 1」を受講していることが望ましい。

Notice) コンピュータ実習室で設計演習を行うため、受講制限を行う場合がある。

Goal)

1. CMOS プロセスを理解し、レイアウト設計が行える
2. レイアウトと MOS トランジスタ特性の関係を理解する
3. 基本 CMOS 論理回路のレイアウト設計、回路シミュレーションが行える
4. ALU, PLA 等の論理設計が理解できる

Schedule)

1. 集積回路の概要
2. CMOS プロセスとマスクパターン
3. レイアウト設計(その1)設計ツールの使い方
4. レイアウト設計(その2)デザインルール
5. CMOS ゲートのレイアウト設計
6. CMOS ゲートの回路シミュレーション
7. NAND ゲートのレイアウト設計と回路特性
8. ゲートアレイでの論理ゲート設計
9. 前半試験
10. 加算器の論理構成
11. ALU の論理構成

12. 伝送ゲートを用いたフリップフロップ回路

13. PLA/ROM の論理構成

14. 制御論理回路

15. 後半のまとめ

16. 後半試験

Evaluation Criteria) 到達目標が達成されているかを、平常点(演習, レポート等) 20%, 中間試験 30%, 期末試験 50%で評価し、全体で 60%以上を合格とする

Relation to Goal) (D) 専門基礎 30%, (E)[主目標] 専門分野(知能電子回路)70%

Textbook) 国枝博昭 「集積回路設計入門」 コロナ社

Contents) <http://cms.db.tokushima-u.ac.jp/cgi-bin/toURL?EID=215973>

Student) Able to be taken by only specified class(es)

Contact)

⇒ Konaka (E 棟 3 階北 C-2, +81-88-656-7469, konaka@ee.tokushima-u.ac.jp) MAIL

Note)

- ◇ 電子回路は集積回路(IC)内に作られるか、集積回路を使用してボード上に作られることが多い。本講義は CMOS 集積回路設計法に関するものである。電気電子工学科の卒業生として将来、IC を設計する仕事、IC を使用する仕事に就く可能性が高いので、受講をお薦めする。
- ◇ 授業を受ける際には、2 時間の授業時間毎に 2 時間の予習と 2 時間の復習をしたうえで授業を受けることが、授業の理解と単位取得のために必要である。